

⑫ 公開特許公報(A)

昭63-272171

⑤ Int.Cl.⁴H 04 N 1/40
G 06 F 15/66

識別記号

1 0 1

庁内整理番号

G-7136-5C
8419-5B

⑬ 公開 昭和63年(1988)11月9日

審査請求 未請求 発明の数 1 (全8頁)

⑭ 発明の名称 画像データ処理回路

⑯ 特 願 昭62-104535

⑰ 出 願 昭62(1987)4月30日

⑱ 発 明 者 長 島 直 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

⑲ 出 願 人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号

⑳ 代 理 人 弁理士 谷 義 一

明 細 書

1. 発明の名称

画像データ処理回路

2. 特許請求の範囲

- 1) シリアルに転送される多値デジタル画像データをビット拡張する第1手段と、

該手段におけるデータ転送を時分割で行わせる第2手段とを具えたことを特徴とする画像データ処理回路。

- 2) 特許請求の範囲第1項記載の画像データ処理回路において、

前記第2手段は、ビット拡張された画像データを、下位データから転送することを特徴とする画像データ処理回路。

(以下、余白)

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、多値(複数ビット)のモノクロ画像およびカラー画像データをデジタル演算処理する回路に関する。

より詳細に言えば、デジタル演算処理の際に生ずる演算誤差を減らし、より入力画像に忠実な画像を得るための画像データ処理回路に関するものである。

〔従来の技術〕

この種の多値データのデジタル演算処理を必要とする装置には、所謂、デジタル複写装置がある。

すなわち、このデジタル複写装置は、CCD等の固体撮像素子によって原稿像を読み取り、ここから出力されるアナログ画像信号をアナログ/デジタル(A/D)信号変換し、これをデジタル演算処理して2値、または、パルス幅変調(PWM)データに変換し、このデータに基づいてレーザー・ビーム・プリンタ(LBP)等のプリンタによって画像情

報を記録する装置である。

通常、アナログ画像信号をA/D信号変換して得られた信号は8ビットである事が多く、これをデジタル演算処理することにより、2値画像の場合には1ビット、PWMの場合には8ビットのデータとする場合が多い。

デジタル演算には、例えば、シェーディング補正、 γ 変換、エッジ強調、スムージング処理等があり、さらに、カラー画像を扱う場合には、マスキング処理、黒抽出、UCKR等の処理がある。

(発明が解決しようとする問題点)

しかしながら、これらのデジタル演算は、通常回路規模を小さくするために入力画像が8ビット・データの場合、出力画像も8ビットとする場合が多く、このために乗算等の演算をした場合に各演算毎にデジタル演算による丸め誤差が発生し、多段のデジタル演算処理を行った場合にこの誤差が累積して画像の劣化の原因となっている。

例えば、入力デジタル画像信号が8ビットであ

号線の数を増やさず、回路の集積化に適した画像データ処理回路を提供することにある。

[問題点を解決するための手段]

本発明は、シリアルに転送される多値デジタル画像データをビット拡張する第1手段と、この第1手段におけるデータ転送を時分割で行わせる第2手段とを具える。

[作用]

本発明によれば、個々のデジタル演算処理回路でのデジタル演算によるデータ・ビット数の増加分をシリアル・データに変換して信号線の数減少させ、回路の集積化に適した回路構成とするものである。

(実施例)

第1図は、本発明を適用したデジタル・カラー複写機のブロック図である。

CCD1は、ライン読み取りを行なうカラーのイメージ・センサである。CCD1上に結像されたカラー画像は、赤、緑、青の色成分に分解され、画素毎にシリアルに赤、緑、青の順に読み出される。

る場合、階調は256段階まで理論上とれるはずであるが、実際は、上記の理由から多段のデジタル演算処理を行うことにより実質的に得られる画像データは4ビット、5ビットといった有効ビット数となり、得られる階調は1/16～1/32の32～64階調となり、階調の荒いガサついた画像となる。とくに、 γ 変換といった非線形変換を行った場合には誤差が大きくなり、非線形変換を多用した回路ではこうした傾向は顕著となる。

こうした画像劣化を防止するために、デジタル演算処理による演算誤差がでないように演算回路を構成し、最終段の演算回路で必要なビット数のデータに変換することが考えられる。

しかし、この方法では演算回路の演算ビット数が増大するために信号線の数が増大し、回路の集積化に不向きになるといった欠点が生ずる。特に、多段の演算回路を使用する場合にこの欠点は顕著となる。

本発明の目的は、上記欠点を解消し、デジタル演算処理によるデータ・ビット数が増大しても信

CCD1以降、プリンタ7に至るまで画像信号はシリアルに送られ処理される。

アナログ信号処理回路2は、CCD1より送られてくるアナログ画像信号のサンプル・ホールド、黒レベル・クランプ、フィルタリング等のアナログ信号処理を行なう。

A/D変換回路3は、アナログ信号処理回路2より送られてくるアナログ画像信号をデジタル画像信号に変換するための回路であって、本実施例に於いて画像信号は8ビットのデジタル画像信号に変換されるものとする。

マスキング回路4は、赤(R)、緑(G)、青(B)の色成分の濁りを取るための回路である。

第4図は、CCD1の各色に関する色感度特性の例を示す図である。マスキング回路4は、図示の斜線の部分のような色成分間でオーバー・ラップする部分の補正を行ない等価的に理想的な色感度特性を持つように画像信号を色補正する。

そのための演算式は、下記の式①により与えられる。

$$\begin{bmatrix} R' \\ G' \\ B' \end{bmatrix} = \begin{bmatrix} a_{11} & a_{12} & a_{13} \\ a_{21} & a_{22} & a_{23} \\ a_{31} & a_{32} & a_{33} \end{bmatrix} \begin{bmatrix} R \\ G \\ B \end{bmatrix} \quad \text{--- 式①}$$

式①中、R、GおよびBは入力色データ、R'、G'およびB'は出力色データ、 a_{xx} は補正係数である。通常、 a_{11} 、 a_{22} および a_{33} は正の係数、その他の係数は負の係数となる。

補色変換回路5は、赤、緑および青の輝度信号を補色のシアン(C)、マゼンタ(M)およびイエロー(Y)の濃度信号に変換するための回路であって、例えば入力信号に対して $-\log$ 変換をする。

2値化回路6は、補色変換回路5より出力される濃度信号をもとに、ディザ法等の擬似中間調処理を行ない画像を2値の画像信号に変換する回路である。プリンタ7は、この画像信号をもとに、例えば、インク・ジェット方式で記録紙上に画像の記録を行なう。

以上説明の第1図の回路ブロックにおいて、デジタル画像処理はマスキング回路4、補色変換回

り、本実施例においては2K×8ビット構成のリード・オンリー・メモリ(ROM)を使用している。

メモリ16はR成分に式①の a_{11} 、 a_{21} および a_{31} 、メモリ16はG成分に式①の a_{12} 、 a_{22} および a_{32} 、メモリ16はB成分に式①の a_{13} 、 a_{23} および a_{33} を乗じたデータを記憶している。

第5図に、メモリ16に記憶されるデータの例を示す。

アドレス端子A7～A0で選択されるアドレスには、図示のようにアドレス値に対して a_{11} 、 a_{21} および a_{31} を乗じた値が書き込まれており、アドレス端子A8が値0の時に下位バイト・データ、アドレス端子A8が値1の時に上位バイト・データが選択される。アドレス端子A10およびA9の信号で a_{11} 、 a_{21} および a_{31} のいずれかが選択される。具体的には、

路5、2値化回路6の3つのブロックであり、この間の演算処理で演算誤差を発生しないようにする事によりプリンタ7で高品位の画像再現が可能になる。

次に、第2図を使用して本発明を適用したマスキング回路4、補色変換回路5、2値化回路6の具体的な回路構成例を説明する。

第2図に於いて、入力画像信号VIは8ビットのデジタル画像信号であり、出力画像信号VOは1ビット=2値のデジタル画像信号である。

入力画像信号VIは、Dフリップ・フロップ10～12で赤、緑、青の各色成分毎にラッチされる。ラッチされたデータは、さらに、Dフリップ・フロップ13～15で1画素の赤、緑、青の各色成分がまとめられたかたちで、すなわち、同一タイミングで再びラッチされる。

Dフリップ・フロップ13～15にラッチされた画像データは、メモリ16～18に入力され、そこで各色成分に式①の a_{xx} を乗じた値を発生する。メモリ16～18は、所謂ルック・アップ・テーブルであ

アドレス(2進数)	内 容
111 1111 1111 ～ 000 0000 0000	a_{31}
101 1111 1111 ～ 000 0000 0000	a_{21}
011 1111 1111 ～ 000 0000 0000	a_{11}
001 1111 1111 ～ 000 0000 0000	未使用

のように変換データが書き込まれている。メモリ17、18についても同様である。

メモリ16～18から1画素につき2回のデータ読み出しが行なわれ、上位バイトのデータはDフリップ・フロップ19、21および23、下位バイトのデータはDフリップ・フロップ20、22および24にそれぞれラッチされる。

加算器25および26は、Dフリップ・フロップ19～24より出力される符号付きの2バイトの画像データを加算する回路であり、出力色データR'、G'およびB'の演算を行なう為の回路である。Dフリップ・フロップ27および28は、このデータR'、G'およびB'をラッチするための回路である。

以上説明の回路が、マスキング回路4に対応する部分である。

Dフリップ・フロップ27および28にラッチされた画像データは、メモリ29のアドレス信号として使われる。メモリ29もルック・アップ・テーブルであり、本実施例においては128K×8ビット構成のリード・オンリー・メモリ(ROM)を使用している。

第6図に、メモリ29に記憶されるデータの例を示す。

アドレス端子A15～A0で画像データの入力を行ない、そのうちアドレス端子A15が符号ビットとなる。即ち、アドレス端子A15が値0の時は正の値、値1の時は負の値となる所謂『2の補数データ』の入力である。画像データの入力値が負の場合はマスキング処理の結果として取ってはならない値であるので図のように一定値を与える。画像データの入力値が正の場合は第6図に示すようなカーブのデータ値を所定のアドレスに書き込んでおく。アドレス端子A16が値0の時に下位バイ

分である。

次に、第3図のタイミング・チャートを使用して第2図のデジタル画像データ処理回路の動作タイミングの説明を行なう。

信号VCKは、ビデオ・クロック信号であり、信号VCK*は信号VCKの逆相のビデオ・クロック信号である。この信号VCKおよび信号VCK*に同期して第2図のデジタル画像データ処理回路は動作する。

入力ビデオ信号V1は、信号VCKの立ち上がりクロックに同期して第2図のデジタル画像データ処理回路(のDフリップ・フロップ10～12)にシリアルに入力され、入力ビデオ信号V1の色成分を示す信号CSL1およびCSL0も同時に信号VCKの立ち上がりクロックに同期して第2図のデジタル画像データ処理回路(のメモリ15～18)にシリアルに入力される。

信号CSL1およびCSL0は、

ト・データ、アドレス端子A16が値1の時に上位バイト・データが読み出されるようにデータを書き込んでおく。

メモリ29からも1画素につき2回のデータ読み出しが行なわれ、上位バイトのデータはDフリップ・フロップ30、下位バイトのデータはDフリップ・フロップ31にそれぞれラッチされる。

以上説明の回路が、補色変換回路5に対応する部分である。

Dフリップ・フロップ30および31にラッチされた画像データは、コンパレータ32に入力され、ここでディザ制御回路35より出力されDフリップ・フロップ33および34にラッチされたスレッシュド値と比較され、2値化される。2値化されたデータは、Dフリップ・フロップ36でラッチされ出力画像信号V0として出力される。

ディザ制御回路35は、疑似巾間調処理の一種であるディザ法による2バイトのスレッシュド値を出力する回路である。

以上説明の回路が、2値化回路6に対応する部

CSL1=0 および CSL0=0 : 有効画像データ無し

CSL1=0 および CSL0=1 : 赤成分信号(R)

CSL1=1 および CSL0=0 : 緑成分信号(G)

CSL1=1 および CSL0=1 : 青成分信号(B)

の4種類の入力ビデオ信号V1の色成分状態を示す。

信号RLCK, GLCK, BLCKおよびDLCKは、信号CSL1およびCSL0により不図示のタイミング生成回路により作られるタイミング信号である。

信号RLCK, GLCKおよびBLCKは、入力ビデオ信号V1の各色成分を分離してラッチするために使用するタイミング信号であって、Dフリップ・フロップ10～12に入力する。また、信号DLCKは、信号RLCK, GLCKおよびBLCKでラッチした信号をDフリップ・フロップ13～15に再ラッチするためのタイミング信号である。

信号RLCK, GLCK, BLCKおよびDLCKでラッチされた信号はビデオ信号VR, VG, VBおよびVRGBであり、第3図に示すタイミングの信号となる。

Dフリップ・フロップ13～15にラッチされた8

ビットの各色成分の画像データを使用して、信号M01で示すように信号VCK半クロック毎にメモリ16~18より記憶された変換データの読み出しを行なう。始めの半クロックが下位8ビット・データの読み出しタイミング、後半が上位8ビット・データの読み出しタイミングとなり、計16ビットの変換データの読み出しを行なう。

ビデオ信号VRGBのデータ変化点から、

$$R' = a_{11} \times R + a_{12} \times G + a_{13} \times B$$

$$G' = a_{21} \times R + a_{22} \times G + a_{23} \times B$$

$$B' = a_{31} \times R + a_{32} \times G + a_{33} \times B$$

の順に式①の演算を行なう。

メモリ16~18より読み出された変換データは、信号SAML(下位8ビット・データ)およびSAMH(上位8ビット・データ)のタイミングでDフリップ・フロップ19~24にデータ・ラッチ、ついで加算器25および26による変換データ間の加算演算が行なわれ、信号SLCHのタイミングでDフリップ・フロップ27および28にラッチされる。

メモリ29でもメモリ16~18同様のタイミング

きさを示し、最上位ビットの15ビット目が符号を示すサイン・ビットとなる。このように信号M01は、入力ビデオ信号V1に対してデータ・ビット長および符号の拡張が行なわれる。

加算器25の出力は、信号M01の加算結果であるので演算誤差を出さない様にするためには、図示のように0ビット目から11ビット目迄が数値の大きさを示し、最上位ビットの15ビット目がサイン・ビットとなる。同様に、加算器26の出力(SAMHおよびSAML)は、0ビット目から12ビット目迄が数値の大きさを示し、最上位ビットの15ビット目がサイン・ビットとなる。

そして、信号M02は非線形の演算を行なうので、演算誤差を無くすために全16ビットの符号無し絶対値のデータに変換される。

最後に、出力ビデオ信号V0として1ビットの画像データに変換される。

(他の実施例)

データ長の拡張は、例えば、式①の係数 $a_{11} \sim a_{33}$ が0.1といった小数データとなる場合にも

(信号M02)で画像データの変換が行なわれ、信号VDL(下位8ビット・データ)および信号VDH(上位8ビット・データ)に示すタイミングで16ビット⇒16ビットの変換動作が行なわれ、Dフリップ・フロップ30および31にラッチされる。

Dフリップ・フロップ33および34には、信号VDLおよび信号VDHに同期してディザ制御回路35からのスレシールド値がセットされ、コンパレータ32でDフリップ・フロップ30および31からのデータと当該スレシールド値とが比較され、16ビット⇒1ビットの変換、即ち、2値化が行なわれる。2値化された画像データは、出力ビデオ信号V0のタイミングでDフリップ・フロップ36にラッチされ出力される。

以上説明の演算の過程を第7図を使用して説明する。

入力ビデオ信号V1は符号無しの8ビット・データであるが、式①の係数 $a_{11} \sim a_{33}$ が-8~+8の範囲の値をとる場合には、信号M01は図示のように0ビット目から10ビット目迄が数値の大

行なう。

即ち、例えば0.1きざみのデータをとる場合には、演算結果をあらかじめ10倍しておき、最後に結果を10分の1にすれば整数演算で演算誤差の無い演算がデータ長の拡張により可能になる。

また、本実施例に於いてメモリ16, 17, 18および29にROMを使用しているが、頻りに補正係数、変換曲線カーブを換える場合には、ランダム・アクセス・メモリ(RAM)等を使用しても良い。また、成分データとして(R,G,B)を用いたが、(Y,M,C),(Y,I,Q),(L,a,b),(L,v,u)等の他の表色型を用いても良い。

(発明の効果)

以上説明のように、本発明によれば演算誤差を無くするような回路構成をとることによって各演算回路でのデジタル演算時の誤差を減らし、複数演算回路の累積演算誤差を減らし現画像に忠実な画像の再現が可能になるとともに、これに伴う演算処理ビット数の増加をシリアル処理することによって信号線の数を減少させ回路の集積化を容易に

する。

4. 図面の簡単な説明

第1図は本発明を適用したデジタル・カラー複写機のブロック図、

第2図は本発明を適用したデジタル画像処理回路の具体的なブロック図、

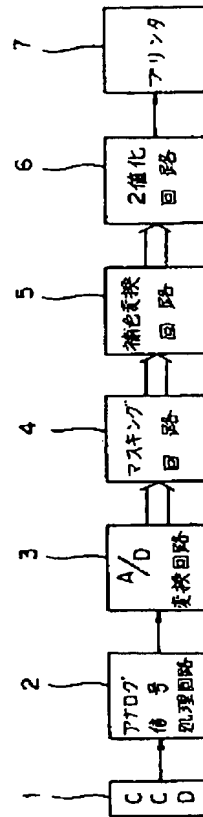
第3図は第2図のデジタル画像処理回路の動作タイミング・チャート、

第4図はCCD1の色感度特性の例を示す図、

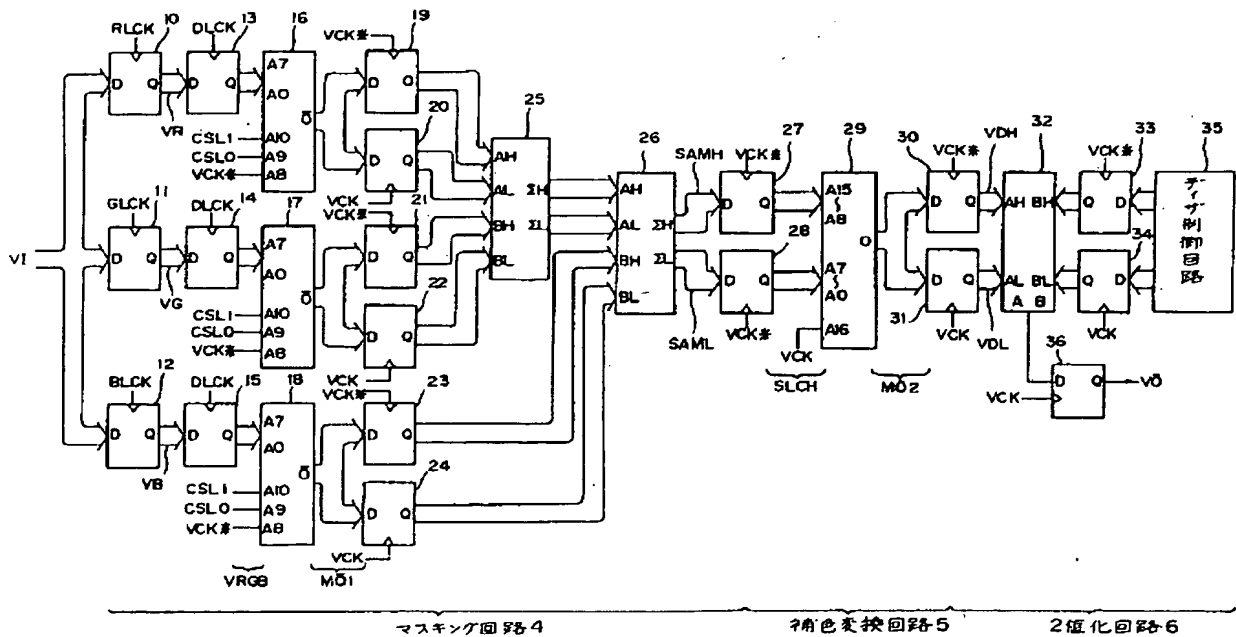
第5図はメモリ16に記憶するデータの説明図、

第6図はメモリ16に記憶するデータの説明図、

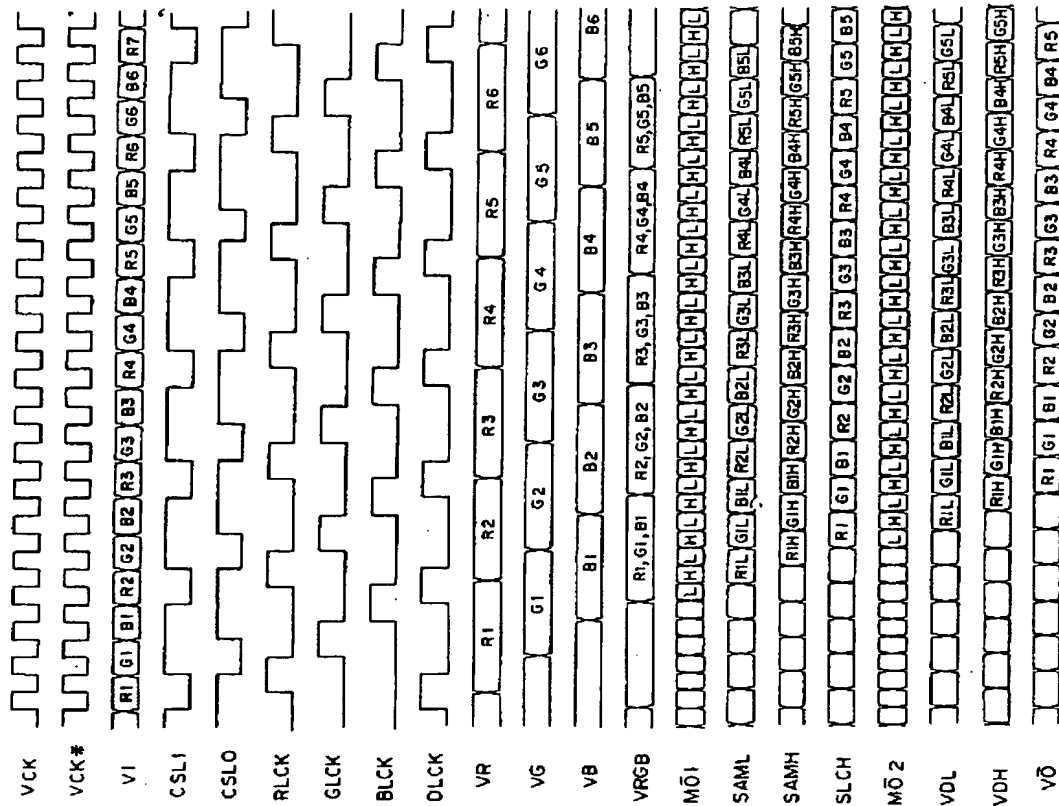
第7図は、演算の過程を説明するための図である。



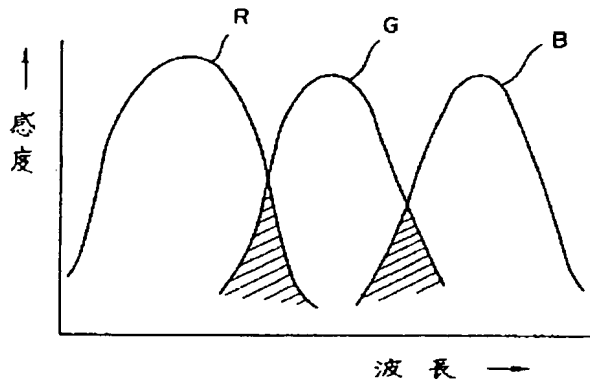
第1図



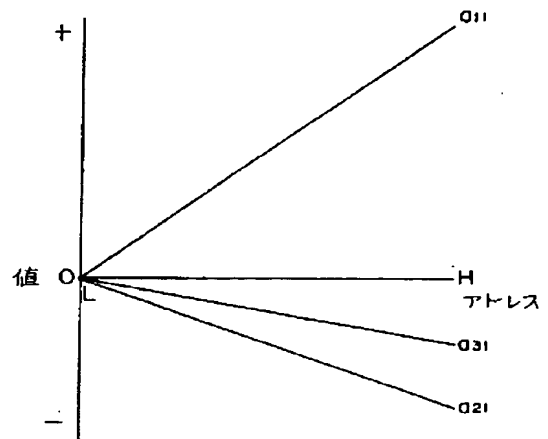
第2図



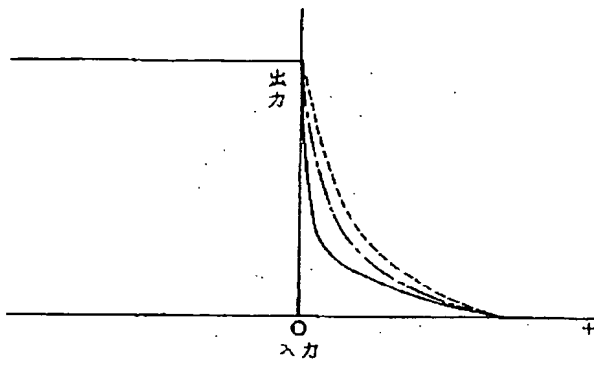
第 3 図



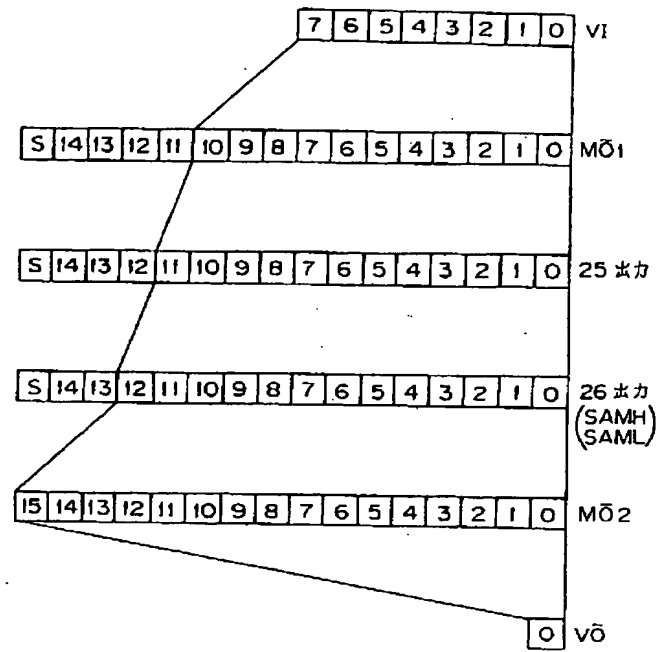
第 4 図



第 5 図



第 6 図



第 7 図